

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100184

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G11C 16/06
G05F 3/24
H02M 3/07

(21)Application number : 10-265129

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.09.1998

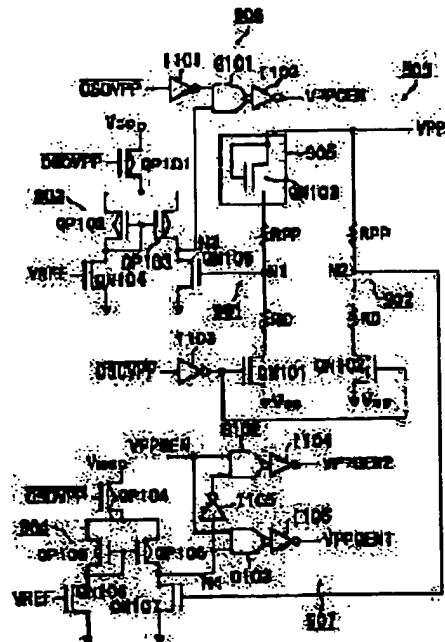
(72)Inventor : NAKAMURA HIROSHI
HOSONO KOJI

(54) BOOSTING VOLTAGE GENERATION CIRCUIT AND NON-VOLATILE SEMICONDUCTOR STORAGE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a boosting voltage generation circuit for obtaining a boosting voltage with less deviation from a setting value without sacrificing speed.

SOLUTION: A boosting voltage generation circuit is provided with a boosting circuit and a voltage level setting circuit for controlling the stopping of the operation of the boosting circuit by detecting that the output voltage has reached a setting value. In this case, the voltage level setting circuit is provided between an output terminal VPP of the boosting circuit and a ground terminal and is provided with a first current path 901 for detecting the setting value of the boosting voltage and a second current path 902 for detecting a level that is slightly lower than the setting value. A voltage-dropping element 902 is inserted into the current path 901. Comparators 903 and 904 for comparing the output of detection nodes N1 and N2 of each current path with a reference value VREF are provided, thus generating a drive signal VPPGEN of a boosting circuit, a control signal VPPGEN1 for speedily boosting voltage from the start of boosting, and a control signal VPPGEN2 for slowly boosting voltage from a value close to the setting value.



LEGAL STATUS

[Date of request for examination] 17.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 V

特開2000-100184

(P2000-100184A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) IntCl ⁷	識別記号	F I	チーフコート(参考)
G 1 1 C 16/06		G 1 1 C 17/00	6 3 2 A 5 B 0 2 5
G 0 5 F 3/24		G 0 5 F 3/24	Z 5 H 4 2 0
H 0 2 M 3/07		H 0 2 M 3/07	5 H 7 3 0

審査請求 未請求 請求項の数13 O L (全 21 頁)

(21) 出願番号 特願平10-265129

(22) 出願日 平成10年9月18日(1998.9.18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 寛

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 細野 浩司

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5B025 AA03 AC03 AD10 AE05 AE08

5H420 NA03 NB02 NB25 NC26

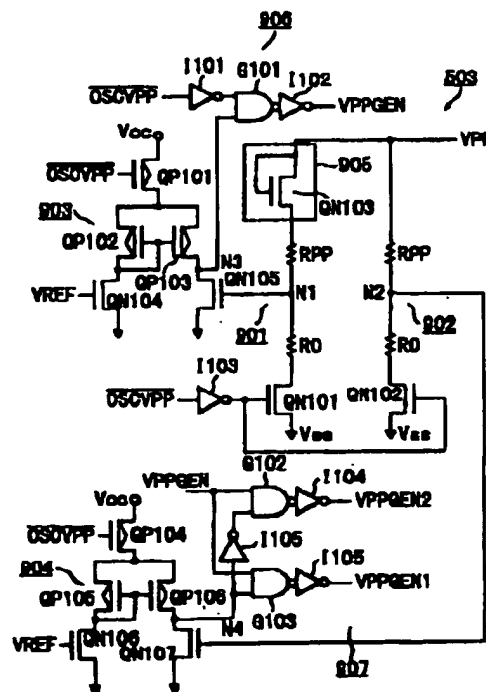
5H730 AA10 BB02 EE59 FD01

(54) 【発明の名称】 昇圧電圧発生回路及びこれを用いた不揮発性半導体記憶装置

(57) 【要約】

【課題】 高速性を損なうことなく、設定値からのズレの小さい昇圧電圧を得ることを可能とした昇圧電圧発生回路を提供する。

【解決手段】 昇圧回路と、その出力電圧が設定値に達したことを検知して昇圧回路の動作を停止させる制御を行う電圧レベル設定回路とを備え、電圧レベル設定回路は、昇圧回路の出力端子VPPと接地端子の間に設けられて、昇圧電圧の設定値を検出するための第1の電流経路901と、設定値より僅かに低いレベルを検出するための第2の電流経路902を有する。電流経路901には電圧降下素子905が挿入されている。各電流経路の検出ノードN1、N2の出力を基準値VREFと比較するコンパレータ903、904を備えて、昇圧回路の駆動信号VPPGEN、昇圧開始から高速昇圧を行わせるための制御信号VPPGEN1、設定値近傍から低速昇圧を行わせるための制御信号VPPGEN2を発生させる。



【特許請求の範囲】

【請求項1】 昇圧電圧を発生する昇圧回路と、この昇圧回路の出力電圧が設定値に達したことを検知して前記昇圧回路の動作を停止させる制御を行う電圧レベル設定回路とを備えた昇圧電圧発生回路において、

前記電圧レベル設定回路は、

前記昇圧回路の出力端子と基準端子の間に設けられてそれぞれの内部に電圧検出ノードを持ち、且つ各電圧検出ノードに電圧差を生じさせる電圧降下素子が少なくとも一方に挿入された第1及び第2の少なくとも二つの電流経路と、

これらの電流経路の各電圧検出ノードの電圧を検知して、前記昇圧回路の出力電圧が前記設定値以下の所定レベルで前記昇圧回路の能力を切り替えを行い、前記設定値に達したときに前記昇圧回路の動作を停止させる制御信号を発生するための切り替え制御回路と、を備えたことを特徴とする昇圧電圧発生回路。

【請求項2】 前記第1の電流経路は、前記設定値の検出用であって、前記昇圧回路の出力端子と基準端子の間に電圧検出ノードを挟んで直列接続される抵抗を持つ第1の抵抗分圧回路と、この抵抗分圧回路内の電圧検出ノードと前記出力端子の間に挿入された少なくとも一つの電圧降下素子とを備えて構成され、
前記第2の電流経路は、前記設定値以下の所定レベルの検出用であって、前記昇圧回路の出力端子と基準端子の間に電圧検出ノードを挟んで直列接続される抵抗を持ち、且つ電圧降下素子を含まない第2の抵抗分圧回路を備えて構成されることを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項3】 前記第1及び第2の電流経路は、異なる数の電圧降下素子を含むことを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項4】 前記電圧降下素子は、ダイオード接続されたMOSトランジスタであることを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項5】 前記電圧降下素子は、pn接合ダイオードであることを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項6】 前記電圧降下素子は、抵抗であることを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項7】 前記昇圧回路は、
クロックにより駆動されてチャージポンプと電荷転送による昇圧を行う昇圧回路本体と、
この昇圧回路本体に供給するクロックを生成するリングオシレータと、
前記切り替え制御回路から得られる制御信号により前記リングオシレータが発生するクロックの周波数を切り替えるための切り替えスイッチ回路とを有することを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項8】 前記昇圧回路は、

クロックにより駆動されてチャージポンプと電荷転送による昇圧を行う出力端子が共通接続された少なくとも二つの昇圧回路本体と、

これらの昇圧回路本体に供給するクロックを生成するリングオシレータと、

前記切り替え制御回路から得られる制御信号に応じて前記リングオシレータから得られるクロックの前記二つの昇圧回路本体への供給を制御するゲート回路とを有することを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項9】 前記第1及び第2の抵抗分圧回路はそれぞれ、電圧検出ノードと昇圧回路の出力端子の間に複数個直列に付加された抵抗と、これらの抵抗を選択的にバイパスさせて前記設定値及び設定値以下の所定レベルを切り替えるためのバイパス回路とを有することを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項10】 前記第1及び第2の抵抗分圧回路はそれぞれ、電圧検出ノードと基準端子の間に複数個直列に付加された抵抗と、これらの抵抗を選択的にバイパスさせて前記設定値及び設定値以下の所定レベルを切り替えるためのバイパス回路とを有することを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項11】 前記切り替え制御回路は、
前記電圧降下素子が挿入された前記第1の電流経路の電圧検出ノードの出力を基準電圧と比較する第1のコンパレータと、

前記第2の電流経路の電圧検出ノードの出力を基準電圧と比較する第2のコンパレータと、

前記昇圧回路の活性化信号の変化を検知して前記昇圧回路の駆動信号を発生し、前記第1のコンパレータによる反転検出結果により前記駆動信号を非活性とする第1のゲート回路と、

この第1のゲート回路から前記駆動信号が発生されている間、前記第2のコンパレータの出力が反転される前は前記昇圧回路の高速昇圧を行わせる制御信号を発生し、第2のコンパレータの反転検出結果により前記昇圧回路の低速昇圧を行わせる制御信号を発生する第2のゲート回路と、を備えたことを特徴とする請求項1記載の昇圧電圧発生回路。

【請求項12】 昇圧電圧を発生する昇圧回路と、この昇圧回路の出力電圧が設定値に達したことを検知して前記昇圧回路の動作を停止させる制御を行う電圧レベル設定回路とを備えた昇圧電圧発生回路において、

前記電圧レベル設定回路は、

前記昇圧回路の出力端子と基準端子の間に設けられて内部に電圧検出ノードを持ち、且つ少なくとも一つの電圧降下素子が挿入された電流経路と、

この電流経路の電圧降下素子を選択的にバイパスさせるバイパス回路と、

前記電流経路の電圧検出ノードの電圧を検知して、その検知結果に応じて前記バイパス回路を制御するととも

に、前記昇圧回路の出力電圧が前記設定値以下の所定レベルで前記昇圧回路の能力を切り替えを行い、前記設定値に達したときに前記昇圧回路の動作を停止させる制御信号を発生するための切り替え制御回路と、を備えたことを特徴とする昇圧電圧発生回路。

【請求項13】 請求項1乃至12のいずれかに記載の昇圧電圧発生回路を備えてデータ書き換え用の昇圧電圧を発生させることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的書き替え可能な不揮発性半導体記憶装置等において、データ書き替え用に用いられる昇圧電圧を発生するための昇圧電圧発生回路、及びこの昇圧電圧発生回路を用いた不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】従来より、半導体記憶装置の一つとして、電氣的書き替えを可能としたEEPROMが知られている。中でも、メモリセルを複数個直列接続してNANDセルを構成するNANDセル型EEPROMは、高集積化できるものとして注目されている。NAND型EEPROMのメモリセルには、半導体基板上に電荷蓄積層（浮遊ゲート）と制御ゲートとを積層形成したFETMOS構造が用いられる。このメモリセルは、浮遊ゲートに蓄積された電荷量によって、データ“0”、“1”を記憶する。複数のメモリセルは、隣接するもの同士でソース、ドレインを共用する形で直列接続されて、NANDセルが構成される。

【0003】メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、選択ゲートを介してビット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲート及び選択ゲートは、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0004】NAND型EEPROMでのデータ書き込みは、選択されたワード線（制御ゲート線）に20V程度の昇圧された書き込み用高電圧を印加し、それよりビット線側の非選択ワード線には中間電圧を印加し、データ“0”、“1”に応じて選択メモリセルのチャネル電圧をコントロールする。“0”データ書き込みのビット線は0Vとし、このビット線電圧を選択メモリセルのチャネルまで転送する。これにより選択メモリセルでは、トンネル電流により浮遊ゲートに電子が注入され、しきい値が正の状態（データ“0”）となる。“1”データ書き込みのビット線には、電源電圧VCC（又は中間電圧）を与え、ビット線側選択ゲートをオフにしてビット線に沿うメモリセルのチャネルをフローティングにするか、或いはビット線側選択ゲートをオンとしてメモリセ

ルのチャネルを中間電圧に設定する。この結果、制御ゲートに高電圧が与えられたメモリセルでもしきい値の変動がなく、負のしきい値状態（データ“1”の消去状態）に保たれる。

【0005】NAND型EEPROMでのデータ消去は、例えばメモリセルアレイ全体について、全てのワード線に0Vを印加し、基板或いはウェルに20V程度の消去電圧を印加して、全メモリセルで浮遊ゲートの電荷を基板側に放出させる。これにより、全メモリセルはしきい値が負のデータ“1”状態に消去される。メモリセルアレイが複数ブロックある場合に、ブロック単位でデータ消去を行うこともある。

【0006】データ読み出しは、選択されたワード線に0V、残りの非選択ワード線にデータ“0”、“1”に拘わらずメモリセルがオンする中間電圧を与えて、NAND型セルが導通するか否かをビット線で検出することにより行われる。

【0007】以上のようにNAND型EEPROMでは、データ書き込み動作において、選択ブロックのワード線に電源電圧から昇圧された高電圧や中間電圧が用いられる。これらの高電圧や中間電圧は、通常チップ内に形成される昇圧回路により発生される。昇圧回路から発生される昇圧電圧を所定レベルに設定するためには、昇圧出力端子を監視して所定レベルに達したことを検知して昇圧回路の動作を停止させる制御を行う電圧レベル設定回路（電圧リミット回路）が設けられる。

【0008】図15は、昇圧回路制御を行う従来の電圧レベル設定回路例を示している。この電圧レベル設定回路は、昇圧出力端子VPPと接地端子VSSの間に抵抗RPP、R0及び活性化用MOSトランジスタを接続した電流経路151と、この電流経路151の電圧検出ノードN0の電圧を基準電圧VREFと比較するコンパレータ152と、このコンパレータ152の出力により、昇圧回路駆動信号VPPGENを非活性にするゲート回路153とから構成される。

【0009】この電圧レベル設定回路では、昇圧回路活性化信号/OSCVPPが“L”になると、駆動信号VPPGEN=“H”を出力する。この駆動信号により、昇圧回路を駆動する図13に示すリングオシレータ131が活性化されて、図14に示す相補クロックRNG、/RNGを出力する。この相補クロックが昇圧回路本体に供給され、昇圧動作を開始する。昇圧回路の出力端子VPPが電圧上昇し、所定の設定値に達すると、電流経路151の電圧検出ノードN0が基準電圧VREFより高くなる。これによりコンパレータ152が“L”出力を出すと、駆動信号VPPGENが“L”になり、昇圧動作を停止する。

【0010】この図15に示す電圧レベル設定回路方式では、基準電圧VREFに対して、昇圧電圧の設定値VPP0は、 $VPP0 = VREF \times (RPP + R0) / R0$ と表される。

【0011】

【発明が解決しようとする課題】上述した従来の電圧レベル設定回路では、回路中の抵抗が寄生容量を持つために、昇圧電圧検出に応答遅れが生じる。この応答遅れは、実際に得られる昇圧電圧が設計された設定値よりも高くなるという事態をもたらす。その様子を、図16に示す。図16(a)、(b)、(c)は、昇圧回路の昇圧速度が異なる場合、即ち(a)、(b)、(c)の順で昇圧速度が遅くなる例を示している。

【0012】書き込み用高電圧等の昇圧所要時間を短縮するためには、昇圧回路の電流供給能力を大きく設定して高速昇圧を行わせることが望ましい。しかし、図16(a)に示すように、高速で昇圧すると、応答遅れ t_r の間に、実際の昇圧電圧 V_{PPH} は設定値 V_{PP} から大きくずれてしまう。この様な昇圧電圧の設定値からのズレは、メモリセルのしきい値の制御性を劣化させ、データ書き込み不十分のメモリセルが多くなり、或いは誤書き込みのメモリセルが発生するといった不都合が生じる。

【0013】昇圧速度を遅くすると、図16に示すように、設定値からのズレは、 $\Delta V_{PPa} > \Delta V_{PPb} > \Delta V_{PPc}$ のように小さくなり、昇圧電圧の制御性はよくなる、しかし、昇圧速度を遅くすると、設定値までの昇圧に時間がかかり、高速のデータ書き換えが難しくなる。

【0014】この発明は、上記事情を考慮してなされたもので、高速性を損なうことなく、設定値からのズレの小さい昇圧電圧を得ることを可能とした昇圧電圧発生回路を提供することを目的としている。この発明はまた、その様な昇圧電圧発生回路を内蔵してデータ書き換えの制御性を向上させた不揮発性半導体記憶装置を提供することを目的とする。

【0015】

【課題を解決するための手段】この発明は、昇圧電圧を発生する昇圧回路と、この昇圧回路の出力電圧が設定値に達したことを検知して前記昇圧回路の動作を停止させる制御を行う電圧レベル設定回路とを備えた昇圧電圧発生回路において、前記電圧レベル設定回路が、前記昇圧回路の出力端子と基準端子の間に設けられてそれぞれの内部に電圧検出ノードを持ち、且つ各電圧検出ノードに電圧差を生じさせる電圧降下素子が少なくとも一方に挿入された第1及び第2の少なくとも二つの電流経路と、これらの電流経路の各電圧検出ノードの電圧を検知して、前記昇圧回路の出力電圧が前記設定値以下の所定レベルで前記昇圧回路の能力を切り替えを行い、前記設定値に達したときに前記昇圧回路の動作を停止させる制御信号を発生するための切り替え制御回路と、を備えたことを特徴とする。

【0016】この発明において例えば、前記第1の電流経路は、前記設定値の検出用であって、前記昇圧回路の出力端子と基準端子の間に電圧検出ノードを挟んで直列接続される抵抗を持つ第1の抵抗分圧回路と、この抵抗

分圧回路内の電圧検出ノードと前記出力端子の間に挿入された少なくとも一つの電圧降下素子とを備えて構成され、前記第2の電流経路は、前記設定値以下の所定レベルの検出用であって、前記昇圧回路の出力端子と基準端子の間に電圧検出ノードを挟んで直列接続される抵抗を持ち、且つ電圧降下素子を含まない第2の抵抗分圧回路を備えて構成される。

【0017】またこの発明において、前記第1及び第2の電流経路は、異なる数の電圧降下素子を含んで構成することができる。この発明において第1の電流経路に挿入される電圧降下素子としては、ダイオード接続されたMOSトランジスタ、pn接合ダイオード、抵抗の中から選ばれた一種が用いられる。

【0018】この発明において前記昇圧回路は、例えば、(a)クロックにより駆動されてチャージポンプと電荷転送による昇圧を行う昇圧回路本体と、この昇圧回路本体に供給するクロックを生成するリングオシレータと、前記切り替え制御回路から得られる制御信号により前記リングオシレータのゲート段数を切り替えて発生するクロックの周波数を切り替えるための切り替えスイッチ回路とを有するもの、或いは(b)クロックにより駆動されてチャージポンプと電荷転送による昇圧を行う出力端子が共通接続された少なくとも二つの昇圧回路本体と、これらの昇圧回路本体に供給するクロックを生成するリングオシレータと、前記切り替え制御回路から得られる制御信号に応じて前記リングオシレータから得られるクロックの前記二つの昇圧回路本体への供給を制御するゲート回路とを有するものとする。

【0019】またこの発明において、設定値が順次変化する昇圧電圧を発生させる場合には、前記第1及び第2の電流経路における第1及び第2の抵抗分圧回路として、①電圧検出ノードと昇圧回路の出力端子の間に複数個直列に付加された抵抗と、これらの抵抗を選択的にバイパスさせて前記設定値及び設定値以下の所定レベルを切り替えるためのバイパス回路とを有するものを用い、或いは②電圧検出ノードと基準端子の間に複数個直列に付加された抵抗と、これらの抵抗を選択的にバイパスさせて前記設定値及び設定値以下の所定レベルを切り替えるためのバイパス回路とを有するものを用いる。

【0020】この発明において、前記切り替え制御回路は例えば、電圧降下素子が挿入された第1の電流経路の電圧検出ノードの出力を基準電圧と比較する第1のコンパレータと、第2の電流経路の電圧検出ノードの出力を基準電圧と比較する第2のコンパレータと、前記昇圧回路の活性化信号の変化を検知して前記昇圧回路の駆動信号を発生し、前記第1のコンパレータによる反転検出結果により前記駆動信号を非活性とする第1のゲート回路と、この第1のゲート回路から前記駆動信号が発生されている間、前記第2のコンパレータの出力が反転される前は前記昇圧回路の高速昇圧を行わせる制御信号を発生

し、第2のコンパレータの反転検出結果により前記昇圧回路の低速昇圧を行わせる制御信号を発生する第2のゲート回路と、を備えて構成される。

【0021】この発明はまた、昇圧電圧を発生する昇圧回路と、この昇圧回路の出力電圧が設定値に達したことを検知して前記昇圧回路の動作を停止させる制御を行う電圧レベル設定回路とを備えた昇圧電圧発生回路において、前記電圧レベル設定回路が、前記昇圧回路の出力端子と基準端子の間に設けられて内部に電圧検出ノードを持ち、且つ少なくとも一つの電圧降下素子が挿入された電流経路と、この電流経路の電圧降下素子を選択的にバイパスさせるバイパス回路と、前記電流経路の電圧検出ノードの電圧を検知して、その検知結果に応じて前記バイパス回路を制御するとともに、前記昇圧回路の出力電圧が前記設定値以下の所定レベルで前記昇圧回路の能力を切り替えを行い、前記設定値に達したときに前記昇圧回路の動作を停止させる制御信号を発生するための切り替え制御回路と、を備えたことを特徴とする。

【0022】この発明に係る不揮発性半導体記憶装置は、上述した昇圧電圧発生回路を備えてデータ書き換え用の昇圧電圧を発生させることを特徴とする。

【0023】この発明によると、昇圧回路の動作を停止させるための電圧レベル設定回路（即ち電圧リミット回路）に、それぞれ電圧検出ノードを持つ少なくとも二つの電流経路を設け、各電圧検出ノードの電圧検知結果に応じて昇圧回路の動作停止だけでなく、昇圧回路の能力（具体的には、昇圧速度）を切り替え制御するようにしている。そのために、二つの電流経路の電圧検出ノードに電圧差を生じさせるように、少なくとも一方の電流経路に電圧降下素子を挿入することによって、二つの電流経路に、昇圧動作を停止させるための設定値と、それより少し低い所定レベルの検出機能を持たせる。そして、昇圧動作を開始した後、設定値より僅かに低いレベルまでは、高速の昇圧動作を行わせ、その後最終的な設定値が検出されるまでは昇圧速度を遅くするというように、昇圧回路の能力を可変制御する。

【0024】この様な昇圧能力の可変制御を行うことにより、昇圧回路の高速性を損なうことなく、昇圧回路の最終的な出力電圧の設定値（リミット電圧値）からのズレを小さくすることができる。そして、この様な昇圧電圧発生回路をNAND型EEPROM等の電気的書き換え可能な不揮発性半導体記憶装置に内蔵することにより、データ書き換え時のメモリセルのしきい値制御性を向上させることができる。

【0025】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係るNANDセル型EEPROMのブロック構成を示す。メモリセルアレイ101は後述するように、不揮発性のメモリセルを直列接続したNANDセルを配列して構成

される。このメモリセルアレイ101のビット線データをセンスし、或いは書き込みデータを保持するためにビット線制御回路（センスアンプ兼データラッチ）102が設けられている。センスアンプ兼データラッチ102は、データ書き込み後のペリフェイ読み出し及び書き込み不十分のメモリセルに対する再書き込みを行う際のビット線電位制御をも行うもので、例えばCMOSフリップフロップを主体として構成される。

【0026】センスアンプ兼データラッチ102は、データ入出力バッファ106に接続されている。センスアンプ兼データラッチ102とデータ入出力バッファ106の間の接続は、アドレスバッファ104からのアドレス信号を受けるカラムデコーダ103の出力により制御される。

【0027】メモリセルアレイ101に対して、メモリセルの選択を行うため、より具体的には制御ゲート及び選択ゲートを制御するために、ロウデコーダ105が設けられている。基板電位制御回路107は、メモリセルアレイ101が形成されるp型基板（又はp型ウェル）の電位を制御するために設けられている。

【0028】メモリセルアレイ101のデータ書き換えのための各種昇圧電圧を発生するために、昇圧電圧発生回路群120が設けられている。具体的に昇圧電圧発生回路群120は、データ書き込み時選択されたメモリセルに与えられる電源電圧より昇圧された書き込み用高電圧を発生する書き込み用高電圧発生回路109、データ書き込み時非選択ワード線やビット線に与えられる中間電圧を発生する中間電圧発生回路110、データ読み出し時（ペリフェイ読み出し時を含む）、非選択ワード線に与えられる中間電圧を発生する中間電圧発生回路111、データ消去時の消去用高電圧を発生する消去用高電圧発生回路112を有する。これらの電圧発生回路109～112を制御するために、制御信号発生回路108が設けられている。

【0029】図2(a)(b)は、メモリセルアレイ101の一つのNANDセル部分の平面図と等価回路図であり、図3(a)(b)は図2(a)のA-A'、B-B'断面図である。NANDセルは、p型シリコン基板11の素子分離絶縁膜12で囲まれた領域に形成されている。各メモリセルは、基板11にゲート絶縁膜13を介して浮遊ゲート14(14₁, 14₂, ..., 14₈)が形成され、この上に層間絶縁膜15を介して制御ゲート16(16₁, 16₂, ..., 16₈)が形成されて、構成されている。これらのメモリセルのソース、ドレイン拡散層であるn型拡散層19(19₀, 19₁, ..., 19₁₀)は、隣接するもの同士共有する形で接続され、これによりNANDセルが構成されている。

【0030】NANDセルのドレイン、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート14₉, 16₉及び14₁₀, 16₁₀

が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19₀にコンタクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG1, CG2, …, CG8として配設されて、これがワード線となる。選択ゲート14₉, 16₉及び14₁₀, 16₁₀もそれぞれ行方向に連続に配設されて選択ゲート線SG1, SG2となる。

【0031】図4は、この様なNANDセルがマトリクス配列されたメモリセルアレイ101の等価回路を示している。同一の制御ゲート線（ワード線）及び選択ゲート線を共有する、破線で囲んだ範囲のNANDセル群をブロックと称し、読み出し、書き込みの動作は通常、複数のブロックのうち一つを選択して行われる。

【0032】図5は、図1における書き込み用高電圧発生回路109の構成を示している。書き込み用高電圧発生回路109は、昇圧電圧を発生する昇圧回路500と、この昇圧回路500の出力電圧が所定の設定値に達したことを検知して昇圧回路500の動作を停止させる制御を行う電圧レベル設定回路（リミット回路）503とから構成される。但しこの実施例の場合、電圧レベル設定回路503は従来のように昇圧回路500の動作停止の制御を行う他、後述するように、昇圧回路500の能力の可変制御をも行うものとして構成される。昇圧回路500は、クロックにより制御される昇圧回路本体501と、これにクロックを与えるリングオシレータ502により構成される。

【0033】昇圧回路本体501は、図8に示すように、ダイオード接続されて電源VCCと昇圧出力端子VPPの間に直列接続された、電荷転送用のNMOSTランジスタQN81～QN86と、これらのトランジスタの接続ノードに設けられたチャージポンピング用のキャパシタC81～C85を用いて構成される。キャパシタC81～C85の端子には、交互に相補クロックRNG、/RNGが与えられる。これにより、各キャパシタの電荷蓄積と、MOSTランジスタによる一方向への電荷転送が繰り返されて、電源電圧VCCより昇圧された電圧が発生される。

【0034】昇圧出力端子VPPと電源VCCの間には、活性化信号/OSCVPPが入るDタイプNMOSTランジスタQNDが設けられている。活性化信号/OSCVPP=“H”の間、トランジスタQNDはオンであって、出力端子VPPはVCC電位に保持される。活性化信号/OSCVPP=“L”になると、トランジスタQNDはオフになって出力端子VPPが電源VCCから切り離され、クロックRNG、/RNGによる昇圧動作が可能となる。

【0035】リングオシレータ502は、図6に示すように、二入力NANDゲートG61を含んでインバータI61～I64をリング状に接続して構成される。各ゲ

ート段にはキャパシタC61～C64が接続されている。NANDゲートG61の一つの入力端子は、リングを構成するため帰還用であり、他の入力端子は昇圧回路の活性化時に“H”となる駆動信号VPPGENが入る。即ち、駆動信号VPPGEN=“H”が入ることにより、リングオシレータ502は発振を開始する。

【0036】リングオシレータ502の出力は、インバータI65と更にその出力を反転するインバータI66を介して取り出されて、図8の昇圧回路本体に与えられる相補クロックRNG、/RNGとして発生される。

【0037】このリングオシレータ502には、後述する電圧レベル設定回路から得られる制御信号VPPGEN1, VPPGEN2により制御されてリングオシレータ502のゲート段数を切り替えて、発生するクロックの周波数を切り替えるための切り替えスイッチ回路601が設けられている。切り替えスイッチ回路601は、インバータI62の出力端子と次のインバータI63の入力端子の間に挿入されたNMOSTランジスタQN61と、NANDゲートG61の出力端子とインバータI63の入力端子の間に介在させたNMOSTランジスタQN62とから構成されている。

【0038】切り替えスイッチ回路601に入る制御信号が、VPPGEN1=“H” (=VCC)、VPPGEN2=“L” (=0V) のときは、MOSTランジスタQN62がオンになって、リングオシレータ502の段数が少なくなり、図7(a)に示すクロックRNG、/RNGが得られる。制御信号が、VPPGEN1=“L”、VPPGEN2=“H” のときは、MOSTランジスタQN61がオンになって、リングオシレータ502の段数が多くなり、図7(b)に示すように、図7(a)に比べて長周期（即ち低周波）のクロックRNG、/RNGが得られることになる。

【0039】図9は、昇圧回路500の出力レベルを監視しながら昇圧回路500の制御信号（具体的には、図6のリングオシレータ502を活性化する駆動信号VPPGENと、リングオシレータの周波数切り替えを行う制御信号VPPGEN1及びVPPGEN2）を発生するための電圧レベル設定回路503の構成例である。この電圧レベル設定回路503は、昇圧出力端子VPPに得られる電圧を複数段階のレベルで検知して、昇圧回路500の能力の切り替え制御、具体的には昇圧速度の切り替え制御を行うために、昇圧電圧出力端子VPPと接地端子VSSの間に設けられた複数の電流経路、具体的に図の例では二つの電流経路901と902を有する。

【0040】第1の電流経路901は、最終的な昇圧電圧の設定値を検出するためのもので、抵抗分圧回路を構成する二つの抵抗RPPとR0、活性化用NMOSTランジスタQN101、及び電圧降下素子905が端子VPPとVSSの間に直列接続されている。抵抗RPPとR0の接続ノードN1が電圧検出ノードであり、電圧降下素子9

05はこの電圧検出ノードN1よりVPP端子側に設けられている。この実施例の場合、電圧降下素子905は、電流によらずほぼ一定電圧の降下を生じるように、ダイオード接続されたNMOSTランジスタQN103により構成されている。

【0041】第2の電流経路902は、最終的に得られる昇圧電圧の設定値より僅かに低いレベルを検知するためのもので、第1の電流経路901と同様に、抵抗RPP及びR0による分圧回路と、活性化用NMOSTランジスタQN102を有するが、電圧降下素子は挿入されていない。抵抗RPPとR0の接続ノードN2が電圧検出ノードである。第1の電流経路901と第2の電流経路902の抵抗値はこの実施例の場合、同じであるものとする。

【0042】これらの電流経路901、902では、昇圧回路活性化信号/OSCVPPが“L”になると、活性化トランジスタQN101、QN102がオンして、電流が流れる。このとき、電圧検出ノードN1、N2の間には、電圧降下素子905による電圧降下分の影響による電圧差が生じることになる。これらの電流経路901、902の検出ノードN1、N2の電圧を検知して、昇圧回路の能力切り替えを行う制御信号VPPGEN1、VPPGEN2を発生するための切り替え制御回路として、コンパレータ903、904及びゲート回路906、907が設けられている。

【0043】コンパレータ903、904はそれぞれ、電流経路901、902の各電圧検出ノードN1、N2の電圧が基準電圧VREFを超えたことを検知するためのものである。一方のコンパレータ903は、PMOSTランジスタQP102、QP103の対による能動負荷と、差動NMOSTランジスタ対QN104、QN105を有するカレントミラー型差動増幅器により構成されている。電源側には、活性化用PMOSTランジスタQP101が設けられている。他方のコンパレータ904も同様に、能動負荷を構成するPMOSTランジスタQP105、QP106、差動NMOSTランジスタ対QN106、QN107、及び活性化用PMOSTランジスタQP104を持つカレントミラー型差動増幅器により構成されている。

【0044】コンパレータ903の出力ノードN3は、昇圧回路のリングオシレータ駆動信号VPPGENを発生するゲート回路906を構成するNANDゲートG101の一つの入力端子に接続される。NANDゲートG101の他方の入力端子には、昇圧回路活性化信号/OSCVPPをインバータI101により反転した信号が入力される。従って、昇圧回路が活性化されており、コンパレータ903の出力ノードN3が“H”の間、リングオシレータ502を駆動する信号VPPGENが“H”になる。

【0045】他方のコンパレータ904の出力ノードN

4には、その出力信号と、コンパレータ903側のNANDゲートG101から得られる駆動信号VPPGENとの論理により、昇圧回路の昇圧速度の切り替え制御を行う制御信号VPPGEN1、VPPGEN2を発生するゲート回路907が設けられている。即ち、コンパレータ904の出力ノードN4が“H”の間、駆動信号VPPGENとの一致により制御信号VPPGEN1を出すNANDゲートG103と、出力ノードN4が“L”になったことを検出して駆動信号VPPGENとの一致により制御信号VPPGEN2を発生するNANDゲートG102が設けられている。

【0046】この様に構成される電圧レベル設定回路503により制御される昇圧回路500の動作を次に説明する。昇圧回路500は活性化信号/OSCVPPにより活性化される。昇圧回路500が活性化された後、二つの電流経路901、902の検出ノードN1、N2の電圧が基準電圧VREFに至らない間、コンパレータ903の出力ノードN3は“H”であり、NANDゲートG101の一致検出により、駆動信号VPPGENが“H”となる。これにより、リングオシレータ502が活性化される。この間、コンパレータ904の出力ノードN4も“H”であり、駆動信号VPPGENと出力ノードN4の信号の一致がNANDゲートG103により検出されて、制御信号VPPGEN1が“H”となる。このとき制御信号VPPGEN2は“L”である。

【0047】制御信号VPPGEN1が“H”、制御信号VPPGEN2が“L”のとき、図6に示すリングオシレータ502は、インバータ段数の少ない状態となり、相補クロックRNG、/RNGは短周期、即ち図7(a)に示す高速クロックとなる。これにより、高速の昇圧動作（充電動作）が行われる。

【0048】昇圧出力端子VPPが上昇してあるレベルになると、二つの電流経路901、902の電圧検出ノードN1、N2のうち、第2の電流経路902側のノードN2が先に基準電圧VREFを超える。第1の電流経路901には、電圧降下素子905が挿入されているからである。これにより、コンパレータ904の出力ノードN4が“L”になると、NANDゲートG103の出力は“H”、従って制御信号VPPGEN1が“L”になり、代わってNANDゲートG102の出力が“L”、従って制御信号VPPGEN2が“H”になる。これにより、図6に示すリングオシレータ502ではMOSTランジスタQN61がオン、MOSTランジスタQN62がオフとなる。即ちリングオシレータ502が出力する相補クロックRNG、/RNGは、図7(b)に示す長周期、即ち低周波数のクロックとなる。この結果、昇圧カーブが切り替えられて緩くなる。

【0049】その後、第1の電流経路901の電圧検出ノードN1が基準電圧VREFを超えると、コンパレータ903の出力が反転する。これにより、駆動信号VPP

GENが“L”になる。同時に、NANDゲートG102の出力が“H”となるから、駆動信号VPPGEN2が“L”になる。これにより、昇圧回路の昇圧動作は停止する。

【0050】この実施例により得られる昇圧電圧カーブを、従来の図16と比較して、図10に示す。時刻 t_0 で昇圧を開始し、開始直後は前述のように高速で昇圧する。時刻 t_1 では、制御信号VPPGEN1、VPPGEN2の“H”、“L”が反転し、昇圧動作が切り替わられて急激に低速になる。この場合、昇圧速度が切り替えられるレベルは、設定値VPP0から電圧降下素子905による電圧降下分 V_{ch} だけ下がった点である。残りの昇圧分 V_{ch} は低速の昇圧動作により、設定値VPPに近い最終昇圧電圧VPPHを得ることができる。

【0051】具体的にこの実施例の場合、電圧レベル設定回路503の第2の電流経路902により検出される昇圧レベルVPP1は、下記数1となる。

【0052】

$$\text{【数1】 } VPP1 = VREF \times (RPP + R0) / R0$$

【0053】そして、第1の電流経路901の電圧降下素子905での電圧降下分を V_{ch} として、この第1の電流経路901により検出される昇圧電圧の最終的な設定値VPP0は、下記数2で表される。

【0054】

$$\text{【数2】 } VPP0 = V_{ch} + VREF \times (RPP + R0) / R0 \\ = VPP1 + V_{ch}$$

【0055】昇圧出力端子VPPが設定値VPP0に達した後、応答遅れ t_r の後の時刻 t_2 で、制御信号VPPGEN、VPPGEN2が“L”になり、昇圧回路500が動作停止するが、このとき実際に得られる昇圧電圧VPPHの設定値VPP0からのズレ $\Delta VPPd$ は、従来の図16(a)の高速昇圧の場合の $\Delta VPPa$ に比べて、小さいものとなる。

【0056】上述のような昇圧回路500と電圧レベル設定回路503を持つ書き込み用高電圧発生回路を用いたこの実施例のNAND型EEPROMのデータ書き込み動作を次に説明する。

【0057】図11は、データ書き込みの動作フローである。データ書き込み動作は、EEPROMチップへの書き込みデータの入力から始まる(S1)。続いて、書き込み用高電圧発生回路から得られる書き込みパルスの印加動作を行い(S2)、その後書き込みベリファイ動作を行う(S3)。ベリファイ読み出しによりデータ書き込みが充分なされたか否かの判定を行い(S4)、書き込みが完了していれば、データ書き込み動作は終了となる。書き込み不十分のメモリセルがある場合には、更に書き込みパルス印加(S2)とベリファイ動作(S3)を書き込みが完了するまで繰り返す。以後はこの繰り返しを書き込みループと呼び、また繰り返した回数をループ回数と呼ぶ。

【0058】図12は、書き込みパルス印加の動作タイミング図を示す。図12において、Cell-Sourceは共通ソース線、Cell-p-wellはメモリセルアレイが形成されたp型ウェル、VPPが前述の書き込み高電圧用昇圧回路の出力端子、VMWL、VMBLはそれぞれ非選択ワード線及びデータ“0”のビット線に与えられる中間電圧発生回路の出力端子である。図12では、NANDセル内の8本の制御ゲート線CG1～8のうち、CG2が選択された場合を示している。

【0059】書き込みパルス印加動作が始まると、まず選択ブロック内の非選択制御ゲート線CG1、CG3～8がVCCまで充電される。同時に、共通ソース線や書き込みデータが“0”であるビット線もVCCまで充電される。書き込みパルス印加動作の間、メモリセルアレイのp型ウェルは0V、ソース側選択ゲート線SG2も0Vに固定される。

【0060】続いて、非選択の制御ゲート線CG1、CG3～8、ビット線側選択ゲート線SG1、データ“0”のビット線等への中間電圧充電が開始され、これに遅れて活性化信号/OSCVPPが“L”になって、書き込み用高電圧の昇圧が開始される。そして、充電完了後、その状態をしばらく保持することにより、データ書き込みがなされる。その後、制御ゲート線及び選択ゲート線を0Vまで放電すると共に、各昇圧回路出力端子をVCCに戻す。最後にビット線を0Vに戻して、書き込み動作を終了する。

【0061】前述のように、活性化信号/OSCVPPが“L”になると(時刻 t_0)、同時に昇圧回路の駆動信号VPPGEN及び制御信号VPPGEN1が“H”になり、これにより選択制御ゲート線CG2は高速に充電される。所定の充電電圧に達する前に、制御信号VPPGEN1が“L”、代わって制御信号VPPGEN2が“H”になり(時刻 t_1)、充電カーブは急激に緩くなる。そして、駆動信号VPPGEN及び制御信号VPPGEN2が“L”になり(時刻 t_2)、充電が完了する。

【0062】比較のため、図13に示すリングオシレータ131と図15に示す電圧レベル設定回路を用いて構成された従来の書き込み用高電圧発生回路を用いた場合の書き込み動作タイミングを図17に示す。

【0063】以上のようにこの実施例によると、2つの電流経路を用いた電圧レベル設定回路を用いることによる昇圧回路の能力の切り替え制御、具体的にはリングオシレータの発振クロックの周波数切り替えによる昇圧速度の切り替え制御を行うことによって、高電圧の高速充電と高電圧のレベル制御性の向上が図られる。

【0064】図18は、先の実施例の図5に示す昇圧回路500を変形した実施例である。この実施例では、二つの昇圧回路本体182a、182bがそれらの出力端子を共通接続して配置される。二つの昇圧回路本体18

2a, 182bはそれぞれ、図20、図21に示すように従来と同様の構成である。これらの昇圧回路本体182a, 182bにそれぞれ相補クロックRNGA, /RNGA, RRGB, /RRGBを供給する昇圧制御回路181は、リングオシレータを主体として構成されるが、具体的には図19に示すような構成となる。

【0065】即ち、リングオシレータ191は、固定周期であり、その出力には、電圧レベル設定回路503により得られる制御信号で制御されて出力クロックの二つの昇圧回路本体182a, 182bへの供給を制御するゲート回路192が設けられている。なお電圧レベル設定回路503は、この実施例の場合、制御信号VPPGEN2を生成するゲート部分が不要となる他、図9の回路構成がそのまま用いられる。

【0066】ゲート回路192は、制御信号VPPGEN1に拘わらず、リングオシレータ191の出力とその反転出力をそのまま、第1の昇圧回路本体182aの相補クロックRNGA, /RNGAとして出力する部分と、制御信号VPPGEN1が“H”になったときに、リングオシレータ191の出力と制御信号VPPGEN1とのANDにより、第2の昇圧回路本体182bの相補クロックRRGB, /RRGBを出力するNANDゲートG191, G192を有する。

【0067】先の実施例で説明したように、電圧レベル設定回路503から得られる制御信号VPPGEN1は、昇圧開始と同時に“H”となり、昇圧レベル設定値の近くで“L”になる。従ってこの実施例の場合、昇圧開始から昇圧電圧の設定値の近くまでは、二つの昇圧回路本体182a, 182bが同時に動作する。設定レベル近くに達して制御信号VPPGEN1が“L”になると、相補クロックRRGB, /RRGBの発生は止まり、一方の昇圧回路本体182bの動作が停止する。その後、昇圧電圧が設定値になると、駆動信号VPPGENが“L”になってリングオシレータ191が動作停止し、二つの昇圧回路本体182a, 182bともに動作停止する。

【0068】以上のようにこの実施例では、昇圧開始から一定レベルまでは、併設された二つの昇圧回路本体182a, 182bによる昇圧能力の高い状態での昇圧動作が行われ、その後一方の昇圧回路本体を切り離した昇圧能力の低い状態での昇圧が行われる。従って結果的に先の実施例と同様に、高速の昇圧動作から低速の昇圧動作への切り替えが行われる。この様な昇圧回路の能力調整により、先の実施例と同様に、高速性を確保しながら、昇圧レベルの制御性を高いものとする事が可能となる。

【0069】ここまでは、データ書き込みループの回数によらず、書き込み用高電圧のレベルが一定である場合を想定したが、書き込み用電圧を書き込みループ毎にレベルを変化させる場合にもこの発明を適用することがで

きる。その様な実施例を次に説明する。

【0070】図22は、書き込みループ毎に書き込み用高電圧のレベルを高くする実施例のデータ書き込み動作のフローを、先の実施例の図11に対応させて示している。図11と異なるのは、書き込み不十分が判定される毎に、書き込み用高電圧のレベルを変更するステップS5が追加される点である。

【0071】図23は、この実施例での昇圧回路制御に用いられる電圧レベル設定回路503の構成を、図9に対応させて示している。基本的な構成は、図9と同様であるが、この実施例では各電流経路901, 902の抵抗分圧回路部の検知ノードN1, N2より接地端子側に更に、直列に複数の抵抗R1~R5が挿入されている。

【0072】更に、各電流経路901, 902に追加された抵抗R1~R5にはそれぞれ、書き込みループ毎に合成抵抗値を切り替えるためのバイパス回路231, 232が設けられている。バイパス回路231, 232は具体的には、1つの抵抗R1をバイパスするNMOSTランジスタQ1、2つの抵抗R1及びR2をバイパスするNMOSTランジスタQ2、以下同様に3つ、4つ、5つの抵抗をバイパスするNMOSTランジスタQ3, Q4, Q5により構成される。これらのNMOSTランジスタQ1~Q5は、書き込みループ毎に発生される制御信号PGM1~PGM5により制御される。

【0073】即ちこの実施例の場合、書き込みループ毎に順次発生される制御信号PGM1~PGM5により、電流経路901, 902の検出ノードN1, N2より接地端子側の合成抵抗値は、大きな値から順次小さくなるように制御される。言い換えれば、第1の電流経路901で決まる昇圧レベル設定値は、初期の書き込みループでは低く、書き込みループ毎に高くなる。同時に、第2の電流経路902で決まる昇圧速度切り替えの行われるレベルが、書き込みループの初期では低く、次第に高くなるように制御される。

【0074】図24は、この実施例の電圧レベル設定回路を用いた場合の、書き込み用高電圧パルス波形を制御信号PGM1~PGM5と共に示している。図の例は、最初の書き込みループでは昇圧レベル設定値は15Vであり、順次1Vずつ設定値が上がる場合である。昇圧速度の切り替えられる点は、各書き込みループとも、設定値から V_{thn} だけ下がった点である。この電圧 V_{thn} は、第1の電流経路901に挿入されている電圧降下素子905による電圧降下分である。電圧降下素子905が図示のようにゲート・ドレインを接続したNMOSTランジスタである場合、抵抗値切り替えによる電流経路の電流変化によらず、ほぼ一定の電圧降下 V_{thn} が得られるから、各書き込みループでの昇圧レベルから一定値下がった点で昇圧速度切り替えが行われることになる。

【0075】ここまでの実施例では、二つの電流経路の一方に挿入される電圧降下素子905として、ダイオー

ド接続されたNMOSTランジスタを用いたが、図25(a)に示すpn接合ダイオード、同図(b)に示すようなダイオード接続されたPMOSTランジスタ、或いは同図(c)に示す抵抗を用いることができる。その他、バイポーラトランジスタ等の他の素子を用いることもできる。電圧降下素子905の動きは、実施例の説明から明らかなように、昇圧回路の能力切り替えを行うための、昇圧レベル設定値から V_{ch} だけ下がったレベルを決定するためのものである。従って、 V_{ch} としてももう少し大きな値が必要であれば、複数の電圧降下素子905を直列に配置することも可能である。

【0076】電圧降下素子905として、図25(a)、(b)に示すダイオードやPMOSTランジスタを用いれば、先の実施例のNMOSTランジスタを用いた場合と同様、電圧降下が電流変化によらずほぼ一定になる。これらの半導体素子では、電流量の変化率に対する降下電圧の変化率は1桁以上小さいからである。従って、これらのダイオードやPMOSTランジスタを電圧降下素子905として用いた場合にも、図24に示したように、ループ回数によらず、昇圧回路の能力切り替えが行われるレベルが昇圧レベル設定値から常に一定値だけ下がった点になり、好ましい。

【0077】また、電圧降下素子905は基本的に二つの電流経路の一方のみに挿入のみにすればよい。しかし、複数の電圧降下素子を用いる場合には、両方の電流経路に異なる数で挿入することができる。この場合、両経路に挿入される電圧降下素子の個数の差分に対応する電圧降下が、昇圧能力切り替えを行う設定値からのレベル低下分を決定することになる。

【0078】図25(c)に示すように、電圧降下素子として抵抗を用いた場合には、電流により電圧降下が変化する。従って、図23の実施例のように電流経路901、902により設定値の切り替えを行う場合に電圧降下素子905として抵抗を用いるには、電流経路901、902自体の構成を、電流値の変化が少なくなるように工夫することが望ましい。

【0079】図26は、その様な工夫を行った実施例の電圧レベル設定回路503を、図23の実施例に対応させて示している。即ちこの実施例では、第1の電流経路901の電圧降下素子905として抵抗 R_{ch} を用いている。この場合、各電流経路901、902の電圧検出ノードN1、N2より出力端子VPP側に、抵抗RPPに対して直列に複数の抵抗R6～R10が付加されている。これらの抵抗R6～R10に対して、書き込みループ毎に合成抵抗値を切り替えるためのバイパス回路231、232が設けられる。

【0080】バイパス回路231、232は、全抵抗R6～R10をバイパスするNMOSTランジスタQ6、4つの抵抗R7～R10をバイパスするNMOSTランジスタQ7、以下同様に3つ、2つ、1つの抵抗をバイ

パスするNMOSTランジスタQ8、Q9、Q10により構成される。これらのNMOSTランジスタQ1～Q5は、書き込みループ毎に発生される制御信号PGM6～PGM10により制御される。

【0081】即ちこの実施例の場合、書き込みループ毎に順次発生される制御信号PGM6～PGM10により、電流経路901、902の検出ノードN1、N2より出力端子側の合成抵抗値は、小さな値から順次大きくなるように制御される。この実施例の場合も、第1の電流経路901で決まる昇圧レベル設定値は、初期の書き込みループでは低く、書き込みループ毎に高くなる。同時に、第2の電流経路902で決まる昇圧速度切り替えの行われるレベルが、書き込みループの初期では低く、次第に高くなるように制御される。

【0082】この実施例の場合、電圧検出ノードN1、N2より出力端子VPP側に設定レベル切り替え用の抵抗を付加している。従って、電流経路901、902の電流値は、検出ノードN1、N2より出力端子側の抵抗によらず、 V_{REF}/R_0 で表される一定値である。このため、電圧降下素子905として抵抗 R_{ch} を用いているが、その電圧降下分はループ回数によらず一定である。

【0083】図27は、この実施例の電圧レベル設定回路を用いた場合の、書き込み用高電圧パルス波形を制御信号PGM6～PGM10と共に示している。基本的に先の実施例の図24と同様に、昇圧速度切り替えが各ループの設定値より一定値 V_{ch} だけ低いレベルで行われるという昇圧電圧波形が得られる。但し、図26に示す電圧設定回路503においても、電圧降下素子905として、ダイオード接続したNMOSTランジスタやPMOSTランジスタ、或いはpn接合ダイオード、バイポーラトランジスタ等を用いることができることは勿論である。

【0084】ここまでの実施例では、電圧レベル設定回路503を構成する二つの電流経路901、902が同じ抵抗値を有する場合を説明したが、二つの電流経路901、902の抵抗値が同じであることは必ずしも必要ではない。即ち、図9の実施例の場合、第1、第2の電流経路901、902において、抵抗分圧回路を構成する抵抗RPP、 R_0 による分圧比 $(RPP+R_0)/R_0$ が同じであれば、抵抗RPP、 R_0 の値が両経路で異なってもよい。同様のことは、図23や図26の実施例についても言える。

【0085】またここまでの実施例では、電圧レベル設定回路503は二つの昇圧レベル検知のために二つの電流経路を備えて構成された。しかし、同様の機能は、一つの電流経路を用いても実現することができる。

【0086】図28は、一つの電流経路280を用いて構成された電圧レベル設定回路503の実施例を示している。この実施例での電流経路280は、昇圧回路の出力端子VPPと接地端子VSSの間に抵抗RPP、電圧降下素

子905としてのダイオード接続されたNMOSTランジスタQN103、活性化用NMOSTランジスタQN281、及び抵抗R0により構成される、抵抗R0とNMOSTランジスタQN281の接続ノードN0が電圧検出ノードである。

【0087】この実施例の場合、電流経路280には、NMOSTランジスタQN103及びQN281の間を選択的にバスパスさせる回路282として、NMOSTランジスタQN282が設けられている。そしてこの実施例では、電流経路280の電圧検出ノードN0の電圧を検知して、その検知結果に応じてバイパス回路282を制御するとともに、昇圧回路の出力電圧が設定値以下の所定レベルで昇圧回路の能力を切り替えを行い、設定値に達したときに昇圧回路の動作を停止させる制御信号を発生するための電圧検出回路が設けられる。

【0088】具体的に電圧検出回路は、検出ノードN0に接続された、先の各実施例と同様のコンパレータ281を有する。但し、コンパレータ281中のPMOSTランジスタQP101のゲートには、信号PROGRAM（書き込みパルス印加動作中に“H”レベルにある信号であって、図12中のCell-Sourceと同様のタイミング）の反転信号が入力される。また、コンパレータ281の出力ノードN3の出力により、高速昇圧と低速昇圧を行わせる二つの制御信号VPPGEN1、VPPGEN2を順次発生させるために、NORゲートG283、G284からなるフリップフロップ283と、ゲート回路284を有する。

【0089】フリップフロップ283は、活性化信号/OSCVPPによりリセットされ、コンパレータ281の出力によりセットされる。フリップフロップ283の出力は、活性化信号/OSCVPPと共にNORゲートG285に入力され、このNORゲートG285の出力に制御信号VPPGEN1が得られる。この制御信号VPPGEN1により、バイパス回路282のNMOSTランジスタQN282のゲートが制御されて、電流経路280の切り替えが行われる。

【0090】ゲート回路284は、活性化信号/OSCVPPと制御信号VPPGEN1が入るNORゲートG281と、その出力とコンパレータ281の出力が入るNANDゲートG282を有し、このNANDゲートG282の出力がインバータにより反転されて、制御信号VPPGEN2となる。

【0091】この実施例の電圧レベル設定回路503の動作を、図29を参照して簡単に説明する。活性化信号/OSCVPPが“L”になって先の実施例と同様に昇圧回路が活性化される。このときNORゲートG285の出力に制御信号VPPGEN1=“H”が発生され、これによりバイパス回路282のNMOSTランジスタQN282はオンになる。この結果、電流経路280の電圧降下素子905はバイパスされた状態で、昇圧レベ

ル上昇に応じて検出ノードN0が電位上昇する。この間制御信号VPPGEN1により高速の昇圧が行われることは、先の実施例と同様である。

【0092】昇圧レベルが設定値より僅かに低い値になり、検出ノードN0が基準電圧VREFを超えると、コンパレータ281がこれを検出してその出力ノードN3が“L”になる。この出力ノードN3のレベル変化を受けてフリップフロップ283は、ノードN5が“H”になり、これを受けて制御信号VPPGEN1は“L”になる。制御信号VPPGEN1が“L”になると、バイパス回路282はオフになり、電流経路280の電圧降下素子905の作用によって検出ノードN0は基準電圧VREFより下がり、コンパレータ281の出力は再度“H”になる。また制御信号VPPGEN1が“L”になると、ゲート回路284ではNORゲートG281の出力が“H”になるから、制御信号VPPGEN2が“H”になる。これにより、先の実施例と同様に低速の昇圧への切り替え制御が行われる。

【0093】そして、昇圧電圧が設定値に達すると、電流経路280の検出ノードN0が再び基準電圧VREFを超え、コンパレータ281の出力ノードN3が“L”になる。これにより、制御信号VPPGEN2が“L”になって、昇圧動作が停止する。

【0094】この実施例の場合、電流経路280は一つであるが、バイパス回路282により電圧降下素子905の短絡制御が行われるから、実質的には二つの電流経路を用いた先の各実施例と同様の電圧レベル検知を行うことができる。またこの実施例によると、電圧レベル設定回路の素子数が先の実施例に比べて少ない上、電流経路が一つと少ないため、消費電流が低減するというメリットが得られる。

【0095】ところで、電流経路を二つ設けた図9の実施例と、一つの電流経路を用いた図28の実施例とは、基本的な機能は同じであるが、一旦設定値まで昇圧された後に何らかの原因でレベル低下が生じた場合に相違が生じる。この点を図30を参照して説明する。

【0096】図30(a)、(b)はそれぞれ、図9、図28の実施例の電圧レベル設定回路を用いて昇圧制御を行い、設定値に達した後に、レベル低下が生じた場合の波形を示している。ここで、レベル低下量 ΔV は、高速昇圧動作から低速昇圧動作への切り替えが行われる設定値からの電圧降下分 V_{ch} より大きいものとする。図9の実施例の場合は、二つの電流経路が設けられてこれらの切り替え制御が行われるため、図30(a)に示すように昇圧レベルの低下があった場合、再度高速昇圧及び低速昇圧という制御が行われる。これに対して図28の実施例の場合は、一旦設定値まで昇圧させると、その後は昇圧電圧が設定値に達したか否かを判定するための一つの電流経路しかない。言い換えれば、制御信号VPPGEN1は昇圧回路活性化の初期にしか発生されず、電

流経路のバイパス切り替えはできない。このため、図30(b)に示すように、レベル低下があった後は、低速の昇圧動作しかできなくなる。

【0097】従って、昇圧設定値までの昇圧が完了した後にレベル低下が起こる可能性がない場合には、消費電流を低減できる図28の実施例が有効であるが、レベル低下が生じる可能性がある場合には、高速の復帰が可能である図9の実施例の方が有効である。

【0098】また、図28の実施例の電圧レベル設定回路を、図23或いは図26の実施例と同様に、順次ステップアップする昇圧電圧を得る回路に変形することは容易である。そのためには、図28における電流経路280の昇圧出力端子VPP側の抵抗RPPの部分に、図31(a)に示すように、抵抗R6~R10を付加し、これらの抵抗に制御信号PGM6~PGM10で制御されるバイパス用MOSトランジスタを併設すればよい。或いは、電流経路280の接地端子側の抵抗R0の部分に、図31(b)に示すように抵抗R1~R5を付加し、これらの抵抗に制御信号PGM1~PGM5で制御されるバイパス用MOSトランジスタを併設すればよい。また、上記実施例の電圧レベル設定回路において、電圧降下素子の位置をRPPとVPPの間以外の位置、例えばRPPからN1までの間の他の任意に位置に直列に接続してもよい。

【0099】ここまでの実施例は、NAND型EEPROMのデータ書き込みに用いられる書き込み用高電圧発生回路に適用した場合を説明したが、図1に示す書き込み用中間電圧発生回路110、読み出し用中間電圧発生回路111、消去用高電圧発生回路112等と同様の昇圧回路とその制御方式を適用することができる。また、NAND型セルは、8個のメモリセルに限らず、2、4、16、32、64個等のメモリセルの直列接続によるNAND型セルを用いた場合にもこの発明は有効である。更にこの発明は、NAND型EEPROMに限らず、図32に示すNOR型セルのEEPROM、図33に示すDINOR型セルのEEPROM、図34に示すAND型セルのEEPROM、図35に示す選択トランジスタ付きのNOR型セルのEEPROMにも同様に適用することができる。更にまた、この発明による昇圧電圧発生回路は、EEPROM以外に、電源電圧より高い昇圧電圧を必要とする他の各種半導体装置に適用が可能である。また以上の実施例では、電源電圧より高い正の電圧を発生させる昇圧回路に適用したが、接地電位より低い負の電圧を発生させる昇圧回路にも同様にこの発明を適用できる。

【0100】

【発明の効果】以上述べたようにこの発明によれば、昇圧電圧の充電速度を昇圧レベルに応じて切り替え制御することにより、高速での昇圧が可能でしかも昇圧レベルの設定値からのズレを小さくすることができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるNAND型EEPROMのブロック構成を示す。

【図2】同実施例のNAND型セルの平面図と等価回路図である。

【図3】図2のA-A'及びB-B'断面図である。

【図4】同実施例のメモリセルアレイの等価回路である。

【図5】同実施例の書き込み用高電圧発生回路の構成を示す。

【図6】同高電圧発生回路におけるリングオシレータの構成を示す。

【図7】同リングオシレータにより得られる相補クロックを示す。

【図8】同高電圧発生回路における昇圧回路本体の構成を示す。

【図9】同高電圧発生回路における電圧レベル設定回路の構成を示す。

【図10】同電圧レベル設定回路により制御される昇圧電圧波形を示す。

【図11】同実施例のEEPROMのデータ書き込みの動作フローを示す。

【図12】同実施例のEEPROMのデータ書き込み時の動作波形を示す。

【図13】従来の昇圧電圧発生回路に用いられるリングオシレータの構成を示す。

【図14】同リングオシレータにより得られる相補クロックを示す。

【図15】従来の昇圧電圧発生回路における電圧レベル設定回路の構成を示す。

【図16】同電圧レベル設定回路により制御される昇圧電圧波形を示す。

【図17】従来の昇圧電圧発生回路を書き込み回路として用いたEEPROMの動作波形を図12に対応させて示す。

【図18】この発明の別の実施例による書き込み用高電圧発生回路における昇圧回路の構成を示す。

【図19】同昇圧回路におけるリングオシレータを含む昇圧制御回路の構成を示す。

【図20】同昇圧回路の一方の昇圧回路本体の構成を示す。

【図21】同昇圧回路の他方の昇圧回路本体の構成を示す。

【図22】実施例のEEPROMにおいて、ステップアップする書き込み高電圧を用いるデータ書き込みフローを示す。

【図23】図22の方式を用いる場合の電圧レベル設定回路を図9に対応させて示す。

【図24】同電圧レベル設定回路により制御される昇圧電圧を用いるデータ書き込み動作の書き込み高電圧波形

を示す。

【図25】実施例の電圧レベル設定回路に用いられる他の電圧降下素子の構成例を示す。

【図26】図22の方式を用いる場合の他の電圧レベル設定回路を図9に対応させて示す。

【図27】同電圧レベル設定回路により制御される昇圧電圧を用いるデータ書き込み動作の書き込み高電圧波形を示す。

【図28】この発明の別の実施例による電圧レベル設定回路の構成を示す。

【図29】同電圧レベル設定回路の動作波形を示す。

【図30】図9の電圧レベル設定回路と図29の電圧レベル設定回路を用いた場合の充電完了後のレベル低下の影響を説明するための図である。

【図31】図29の電圧レベル設定回路をステップアップ方式に適用する場合の抵抗回路を示す。

【図32】NOR型セルのセルアレイの等価回路を示す。

【図33】DINOR型セルのセルアレイの等価回路を示す。

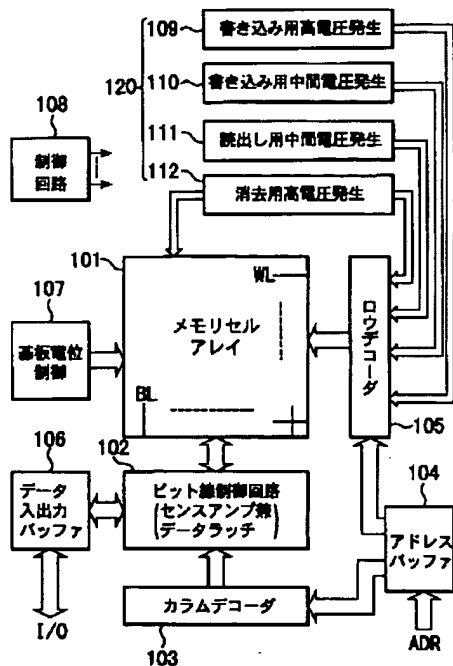
【図34】AND型セルのセルアレイの等価回路を示す。

【図35】選択トランジスタ付きNOR型セルのセルアレイの等価回路を示す。

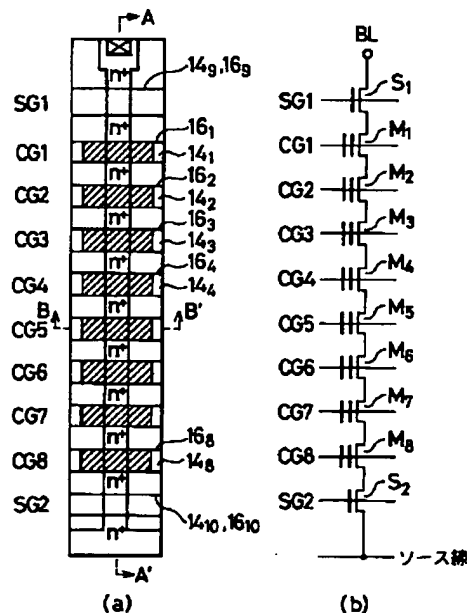
【符号の説明】

101…メモリセルアレイ、102…ビット線制御回路、103…カラムゲート、104…アドレスバッファ、105…ロウデコーダ、106…データ入出力バッファ、107…基板電位制御回路、108…制御回路、109…書き込み用高電圧発生回路、110…書き込み用中間電圧発生回路、111…読み出し用中間電圧発生回路、112…消去用高電圧発生回路、500…昇圧回路、501…昇圧回路本体、502…リングオシレータ、503…電圧レベル設定回路、901、902…電流経路、903、904…コンパレータ、905…電圧降下素子、906、907…ゲート回路。

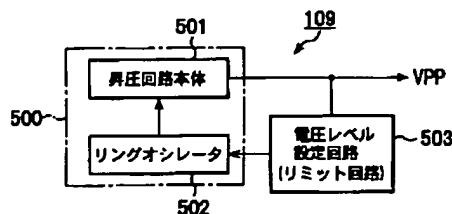
【図1】



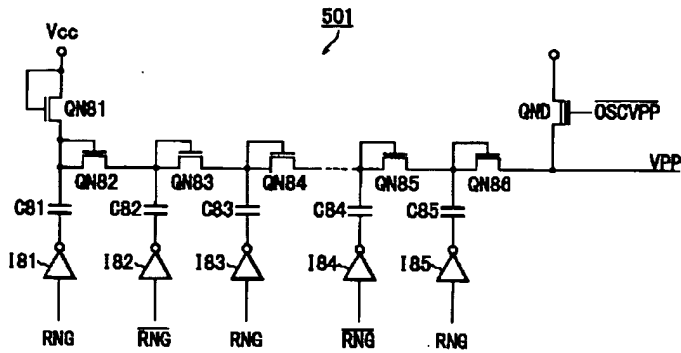
【図2】



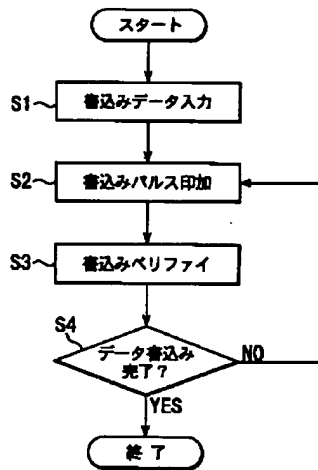
【図5】



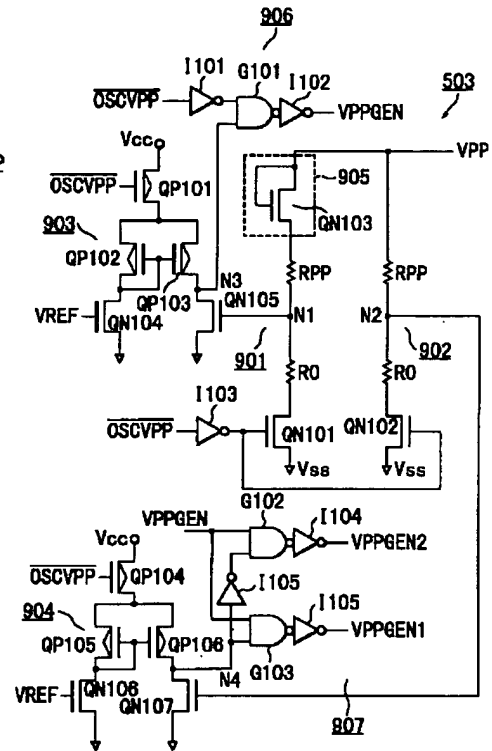
【図8】



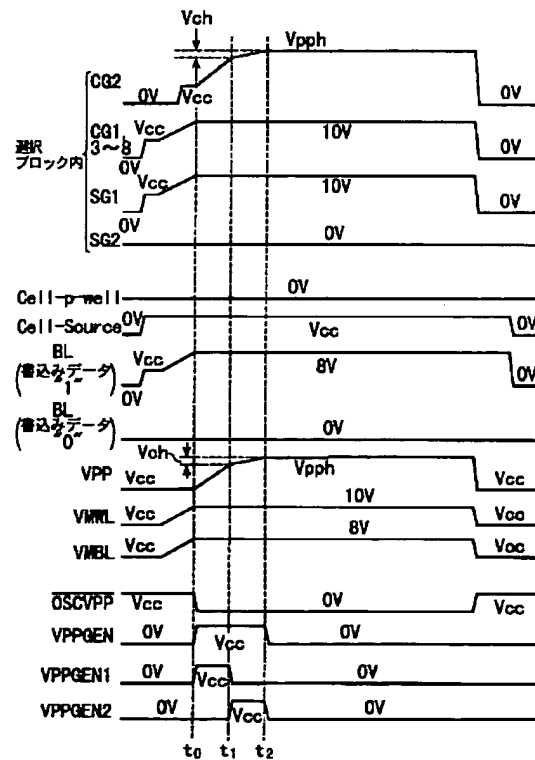
【図11】



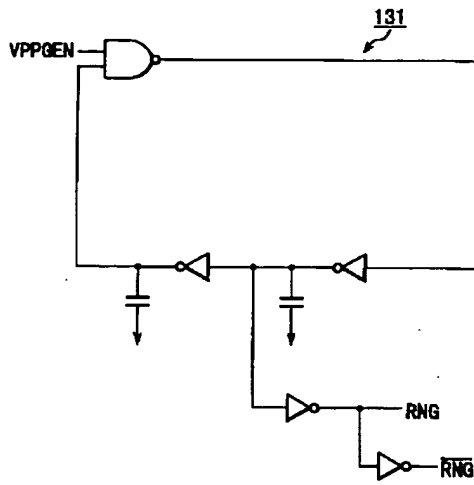
【図9】



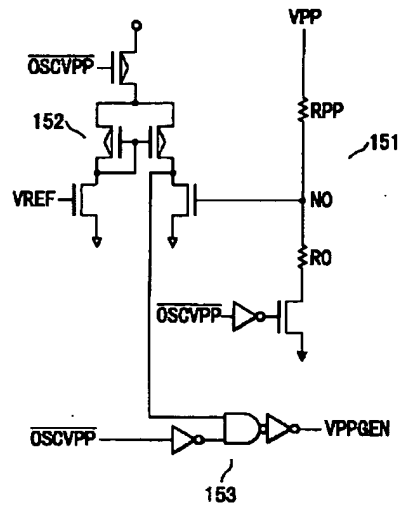
【図12】



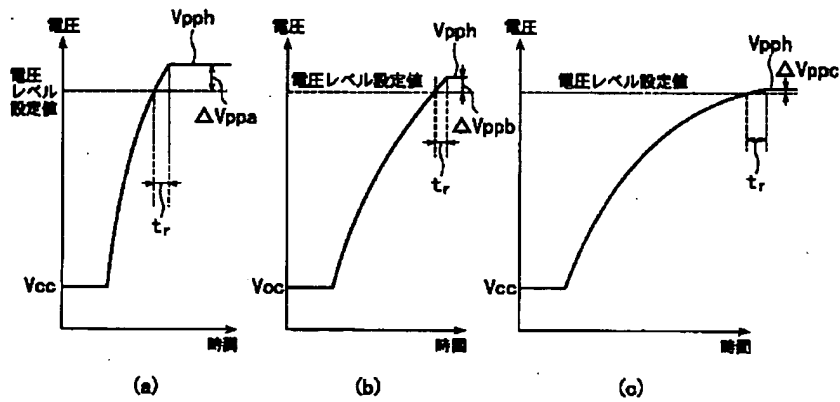
【图 13】



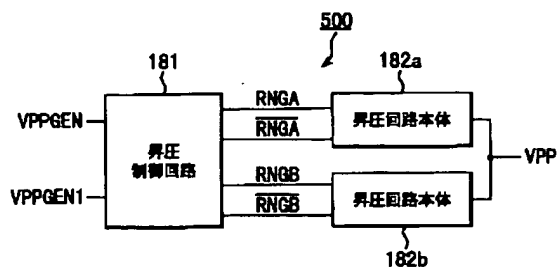
【図15】



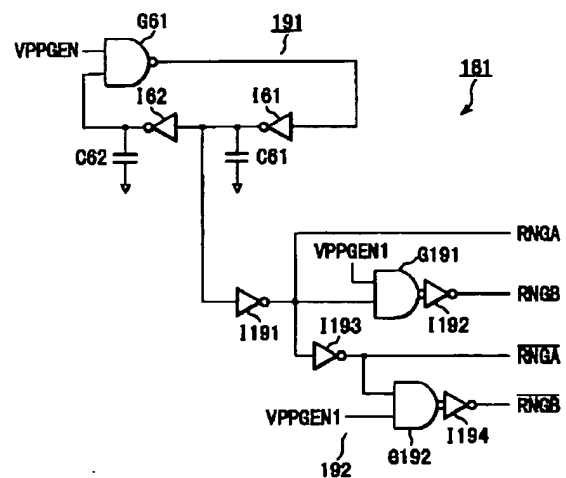
【図 16】



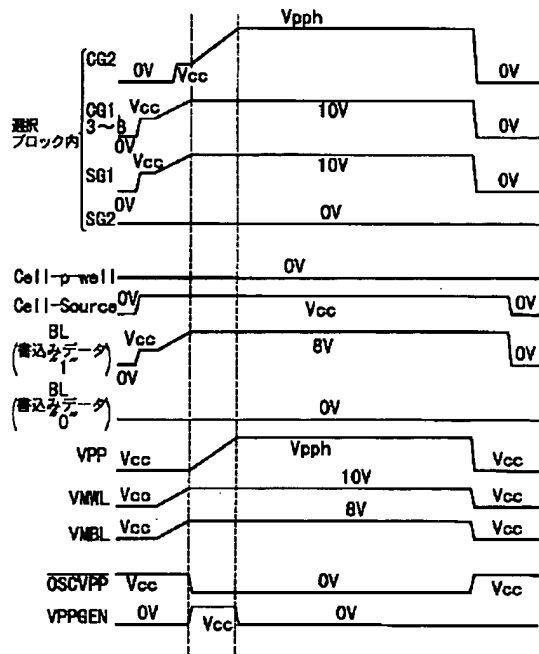
【図18】



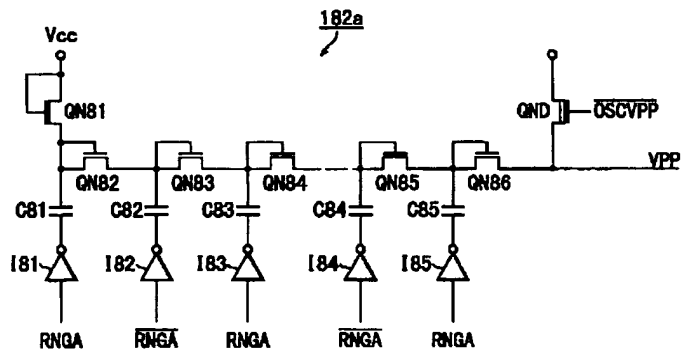
【図19】



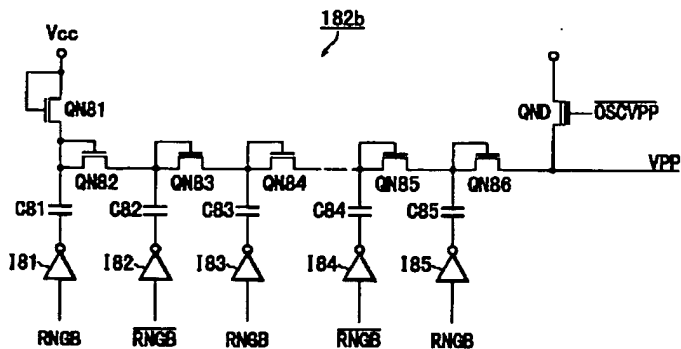
【図17】



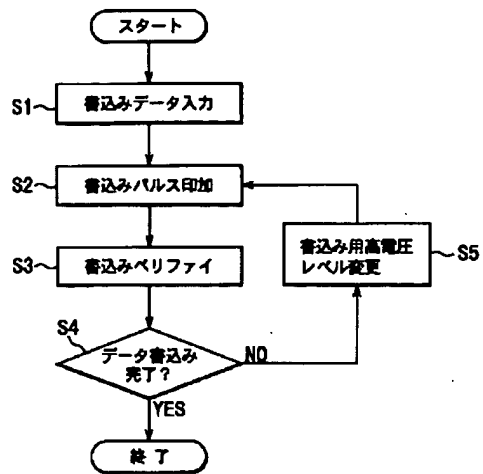
【図20】



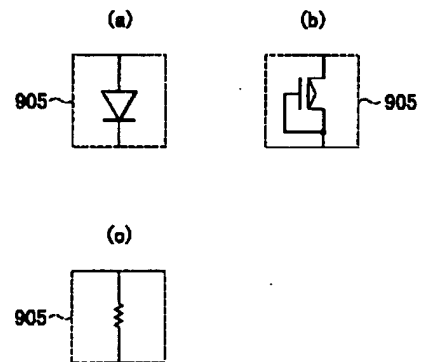
【図21】



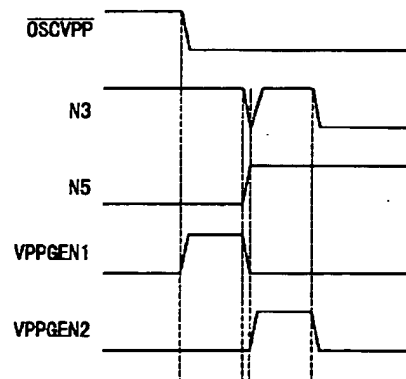
【図22】



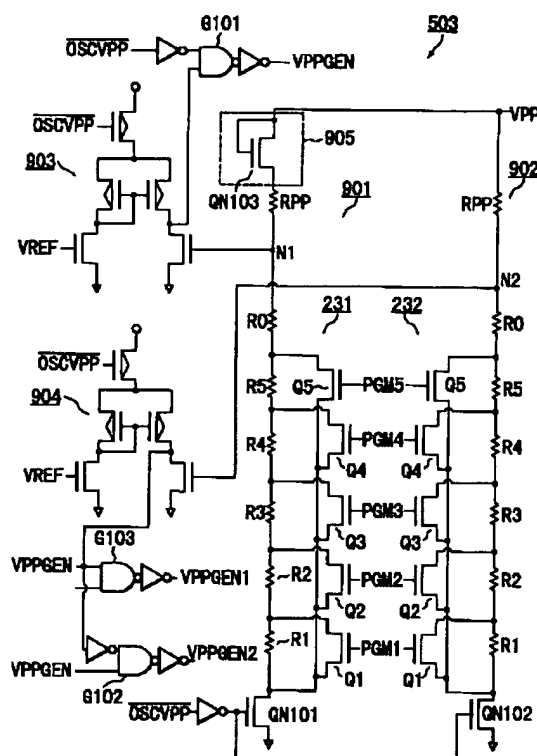
【図25】



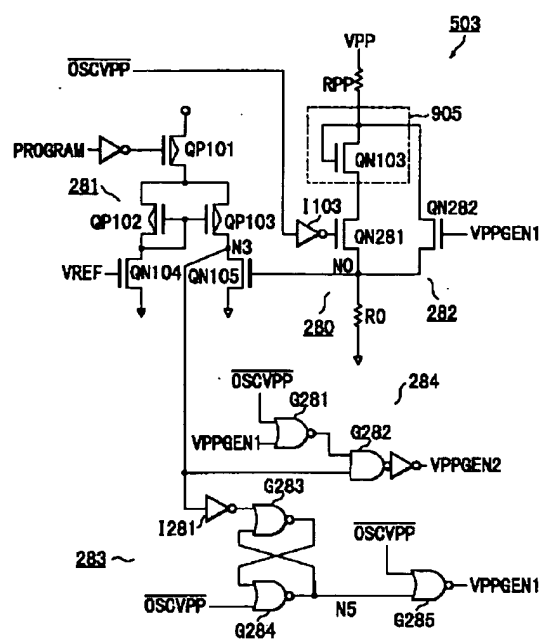
【図29】



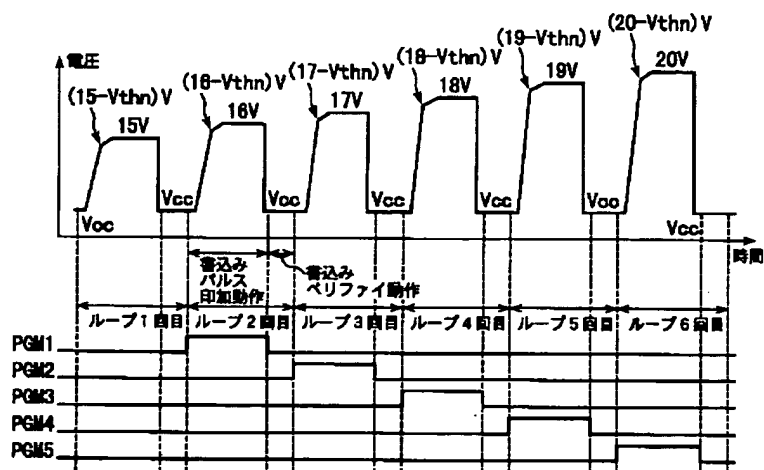
【図23】



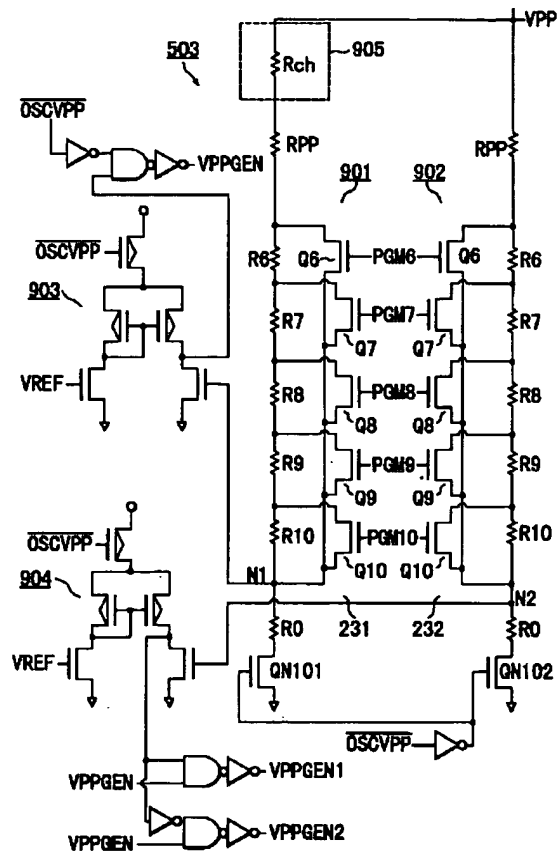
【図28】



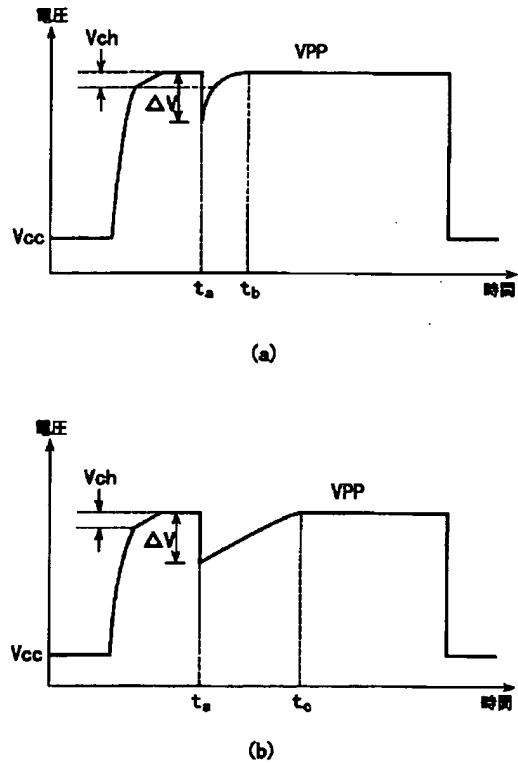
【図24】



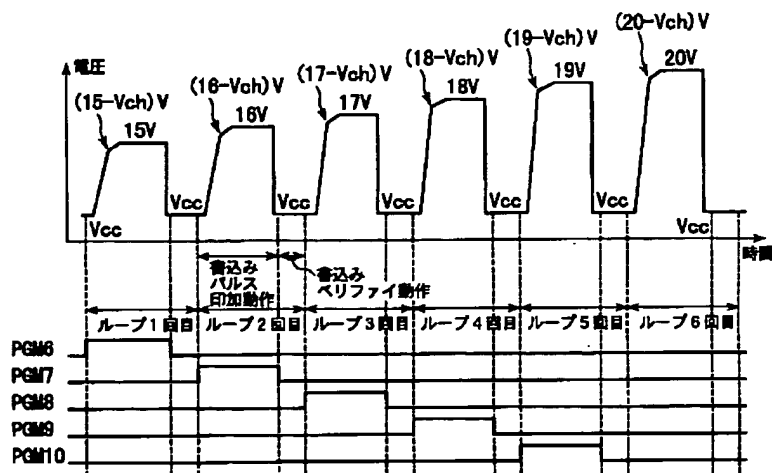
【図26】



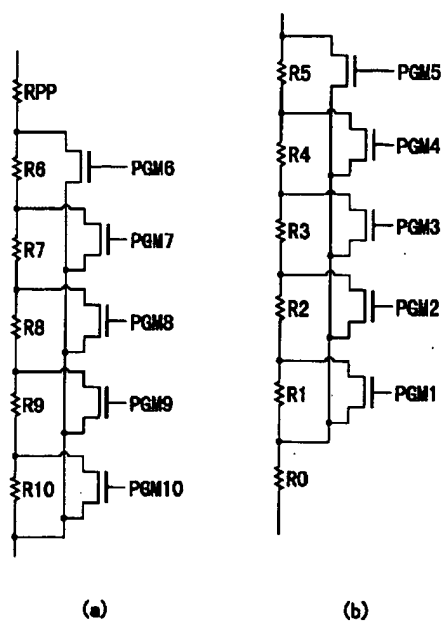
【図30】



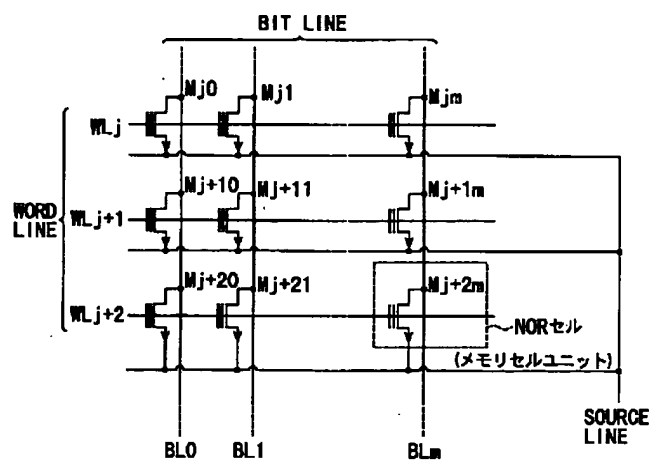
【図27】



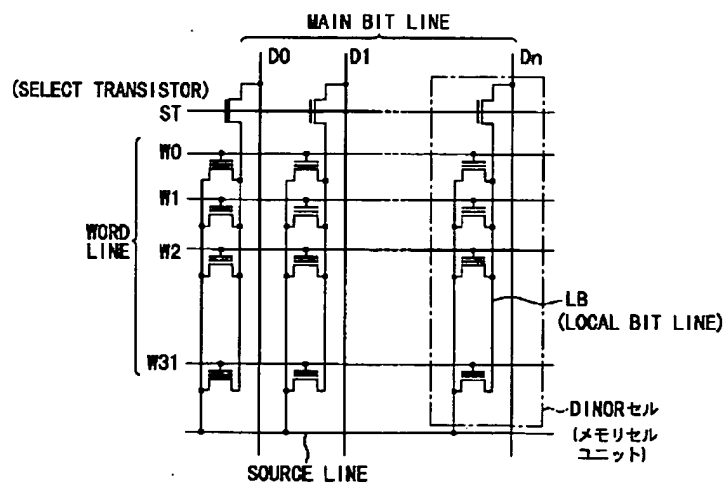
【図31】



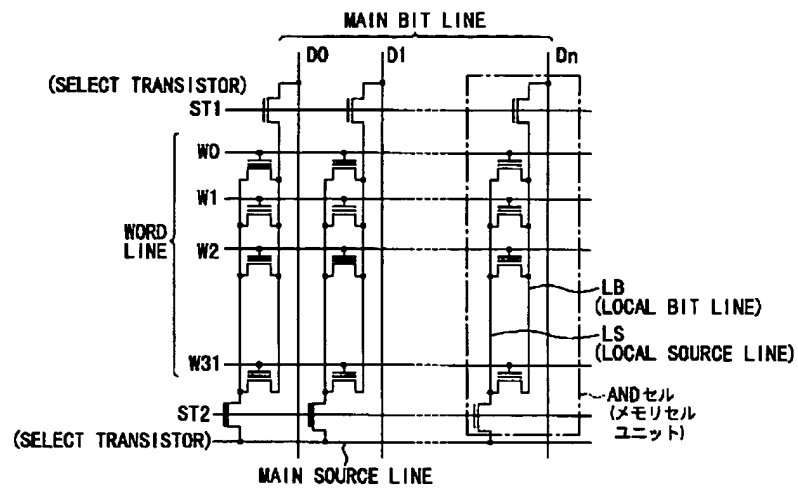
【図32】



【図33】



【図34】



【図35】

